

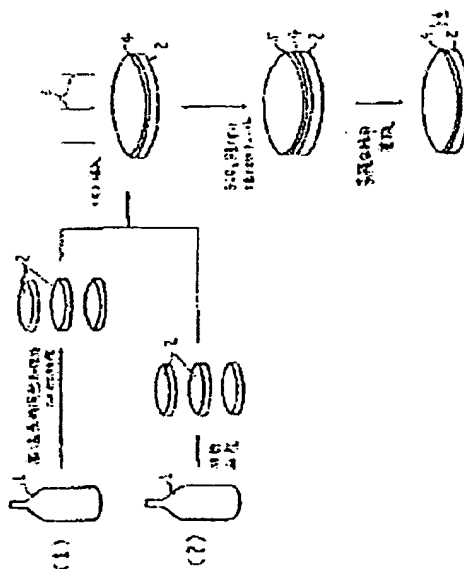
HEAT TREATING METHOD FOR SUBSTRATE FOR GALLIUM ARSENIDE INTEGRATED CIRCUIT

Patent number: JP62265717
Publication date: 1987-11-18
Inventor: MIYAZAWA SHINTARO; HIUGA FUMIAKI
Applicant: NIPPON TELEGRAPH & TELEPHONE
Classification:
- international: H01L21/265; H01L21/324; H01L21/02; (IPC1-7):
H01L21/265; H01L21/324
- european:
Application number: JP19860109149 19860513
Priority number(s): JP19860109149 19860513

Report a data error here

Abstract of JP62265717

PURPOSE: To obtain a substrate for an integrated circuit having an electrically active layer including better uniformity by secondly heat treating a substrate made of gallium arsenide at high temperature for a short time under the condition that arsenic cavity in an ion implanted layer formed after firstly heat treating the substrate at high temperature for a long time is not increased. **CONSTITUTION:** A crystal ingot 1 is heat treated at high temperature for a long time, then cut, and polished to form wafers 2, and the wafers 2 are then heat treated in this state at high temperature for a long time. When the wafers 2 are implanted with Si ions 3 and annealed to activate the ions, an SiO₂ film 5 is bonded by a proper method, such as a vapor growing method for the purpose of increasing Ga cavity density VGa on a substrate, i.e., in an ion implanted layer 4, annealed at 800 deg.C for approx. 15 min. After annealing, the film 5 is removed. An integrated circuit of FETs is formed of a substrate 6 for the integrated circuit formed in this manner.



Data supplied from the esp@cenet database - Worldwide

Best Available Copy

EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

PUBLICATION NUMBER : 62265717
PUBLICATION DATE : 18-11-87

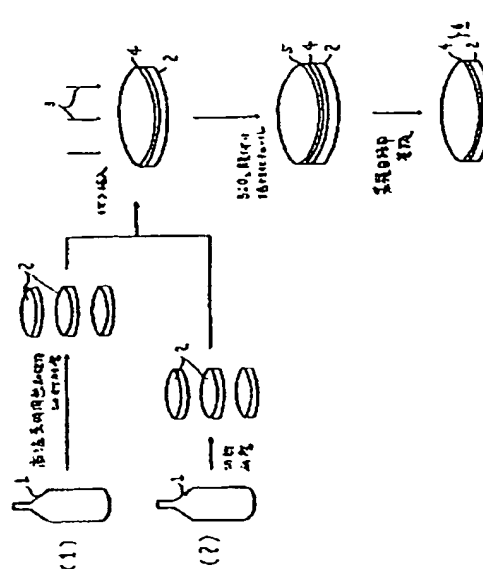
APPLICATION DATE : 13-05-86
APPLICATION NUMBER : 61109149

APPLICANT : NIPPON TELEGR & TELEPH CORP
<NTT>;

INVENTOR : HIUGA FUMIAKI;

INT.CL. : H01L 21/265 H01L 21/324

TITLE : HEAT TREATING METHOD FOR
SUBSTRATE FOR GALLIUM
ARSENIDE INTEGRATED CIRCUIT



ABSTRACT : **PURPOSE:** To obtain a substrate for an integrated circuit having an electrically active layer including better uniformity by secondly heat treating a substrate made of gallium arsenide at high temperature for a short time under the condition that arsenic cavity in an ion implanted layer formed after firstly heat treating the substrate at high temperature for a long time is not increased.

CONSTITUTION: A crystal ingot 1 is heat treated at high temperature for a long time, then cut, and polished to form wafers 2, and the wafers 2 are then heat treated in this state at high temperature for a long time. When the wafers 2 are implanted with Si ions 3 and annealed to activate the ions, an SiO₂ film 5 is bonded by a proper method, such as a vapor growing method for the purpose of increasing Ga cavity density VG_a on a substrate, i.e., in an ion implanted layer 4, annealed at 800°C for approx. 15 min. After annealing, the film 5 is removed. An integrated circuit of FETs is formed of a substrate 6 for the integrated circuit formed in this manner.

COPYRIGHT: (C)1987,JPO&Japio

Best Available Copy



RAPPORT DE RECHERCHE PRÉLIMINAIRE

établi sur la base des dernières revendications
déposées avant le commencement de la recherche

N° d'enregistrement
national

FA 665744
FR 0505091

DOCUMENTS CONSIDÉRÉS COMME PERTINENTS		Revendication(s) concernée(s)	Classement attribué à l'invention par l'INPI
Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes		
X	US 6 607 969 B1 (KUB FRANCIS J ET AL) 19 août 2003 (2003-08-19) * colonne 5, ligne 44-53 * * colonne 7, ligne 11-21 *	1-6, 12-16	H01L21/20 H01L21/265
A	-----	7-11	
X	US 6 323 108 B1 (KUB FRANCIS J ET AL) 27 novembre 2001 (2001-11-27) * colonne 5, ligne 8-10 * * revendications 1,3 *	1-6, 12-14	
A	-----	7-11, 15, 16	
A	DI CIOCCIO L., JALAGUIER E: ET AL.: "III-V layer transfer onto silicon and applications" PHYSICA STATUS SOLIDI A, vol. 202, no. 4, mars 2005 (2005-03), pages 509-515, XP002345962 * le document en entier *	1-16	
A	PATENT ABSTRACTS OF JAPAN vol. 012, no. 150 (E-606), 10 mai 1988 (1988-05-10) & JP 62 265717 A (NIPPON TELEGR & TELEPH CORP <NTT>), 18 novembre 1987 (1987-11-18) * abrégé *	1-16	<div>DOMAINES TECHNIQUES RECHERCHÉS (Int.CL.7)</div> H01L
Date d'achèvement de la recherche		Examineur	
21 septembre 2005		Ekoué, A	
<div> <div> CATÉGORIE DES DOCUMENTS CITÉS X : particulièrement pertinent à lui seul Y : particulièrement pertinent en combinaison avec un autre document de la même catégorie A : arrière-plan technologique O : divulgation non-écrite P : document intercalaire </div> <div> T : théorie ou principe à la base de l'invention E : document de brevet bénéficiant d'une date antérieure à la date de dépôt et qui n'a été publié qu'à cette date de dépôt ou qu'à une date postérieure. D : cité dans la demande L : cité pour d'autres raisons ----- & : membre de la même famille, document correspondant </div> </div>			

**ANNEXE AU RAPPORT DE RECHERCHE PRÉLIMINAIRE
RELATIF A LA DEMANDE DE BREVET FRANÇAIS NO. FR 0505091 FA 665744**

La présente annexe indique les membres de la famille de brevets relatifs aux documents brevets cités dans le rapport de recherche préliminaire visé ci-dessus.
Les dits membres sont contenus au fichier informatique de l'Office européen des brevets à la date du 21-09-2005
Les renseignements fournis sont donnés à titre indicatif et n'engagent pas la responsabilité de l'Office européen des brevets, ni de l'Administration française

Document brevet cité au rapport de recherche		Date de publication	Membre(s) de la famille de brevet(s)	Date de publication
US 6607969	B1	19-08-2003	AUCUN	
US 6323108	B1	27-11-2001	AUCUN	
JP 62265717	A	18-11-1987	AUCUN	

EPO FORM P0465

Pour tout renseignement concernant cette annexe : voir Journal Officiel de l'Office européen des brevets, No.12/82

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭64-4013

⑤ Int. Cl.⁴

識別記号

庁内整理番号

⑬ 公開 昭和64年(1989)1月9日

H 01 L 21/02
21/18
21/304

7454-5F

7739-5F

Z-7376-5F

審査請求 未請求 発明の数 1 (全4頁)

⑭ 発明の名称 基板の形成方法

⑮ 特 願 昭62-158905

⑯ 出 願 昭62(1987)6月26日

⑰ 発 明 者 伊 沢 伸 幸 東京都品川区北品川6丁目7番35号 ソニー株式会社内
⑱ 発 明 者 佐 藤 弘 東京都品川区北品川6丁目7番35号 ソニー株式会社内
⑲ 出 願 人 ソ ニ ー 株 式 会 社 東京都品川区北品川6丁目7番35号
⑳ 代 理 人 弁理士 志賀 富士弥

明 細 書

1. 発明の名称

基板の形成方法

2. 特許請求の範囲

2枚の基板を重ね合わせて接着する基板の形成方法において、

上記それぞれの基板の接着面を凸面が直交または略直交もしくは角度を有して対向するよう湾曲し、

次に上記対向した凸面同士を接触した後、上記湾曲を平面に戻して接着することを特徴とする基板の形成方法。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、2枚の半導体基板あるいは半導体基板とガラス基板などを接着剤なしに接着して基板を形成する場合とか、一般の2枚基板を接着剤で貼り合わせて基板を形成する場合において、未接着部が生じないようにした基板の形成方法に関する。

〔発明の概要〕

本発明は、2枚の基板を重ね合わせて接着する基板の形成方法において、

上記それぞれの基板の接着面を凸面が直交または略直交もしくは角度を有して対向するよう湾曲し、次に上記対向した凸面同士を接触した後、上記湾曲を平面に戻して接着し、点接触状態から、放射状に接触が広がるようにすることにより、

接着面に未接着箇所が生じないようにしたものである。

〔従来技術〕

従来より、2枚の半導体基板を重ね合わせて熱処理を施すことにより接着剤なしに接着を行う半導体基板の形成方法が知られている。例えば、特開昭60-121776号公報および特開昭60-121777号公報におけるシリコン結晶体の接合方法にすでに見られ、また、本出願人が先に出願した特願昭61-173268号においても、

電界効果トランジスタ、バイポーラトランジスタ、電荷転送素子、固体撮像素子等に使用するゲッタリング領域を具備するウエハを2枚のウエハの加熱接着により形成する手段が提案されている。しかし、上記従来技術のいずれにおいても2枚の半導体基板の貼り合わせ時において、いかに接着界面を密着させてボイド(空孔)を生じないようにするかが課題となっていた。

第3図(イ)、(ロ)、(ハ)、(ニ)は上記接着界面にボイドを生じさせないための従来の2枚のウエハの接着方法の説明図である。この方法は、(イ)の接着前の側面図に示すように一方のウエハ100をU字形状にそらせてその凸面を他方の平面状のウエハ101に接触させ、(ロ)の透視平面図に示すように、直線状の最初の接触位置102からウエハ100の反りを平面状態に戻して接着を矢示のように辺部方向に進行させてボイドの発生を防止したものである。

[発明が解決しようとする問題点]

上記それぞれの基板の接着面を凸面が直交または略直交もしくは角度を有して対向するよう湾曲し、

次に上記対向した凸面同士を接触した後、上記湾曲を平面に戻して接着することの特徴とする。

[作用]

本発明は、接触の初期に中心付近において点接触となる。この点接触状態から、それぞれの基板の湾曲を平面に戻して行くと、接着界面は中心付近の接触点から放射状に拡がって、未接着箇所を排除する。

[実施例]

以下、本発明の実施例を図面に基づいて詳細に説明する。

第1図(イ)、(ロ)は本発明の一実施例の初期接触を示す正面図(イ)と側面図(ロ)である。本実施例は、2枚のウエハを重ね合わせて加熱接着することにより半導体基板を形成する場合に適

しかしながら、上記従来技術における2枚のウエハの接着方法においても、完全にボイドを防止することができなかった。即ち、他方のウエハ101が完全平面であれば最初の接触を線状接触とすることが可能であるが、完全平面ということはほとんど不可能であるため、第3図の(ハ)の平面図に示すように最初の接触が破線状接触103となり、(ニ)の断面図に示すように未接着箇所(ボイド)104が生ずる虞れがあった。

本発明は、上記問題点を解決するために創案されたもので、2枚の基板を重ね合わせて接着する基板の形成方法において、未接着箇所が生じないようにした基板の形成方法を提供することを目的とする。

[問題点を解決するための手段]

上記の目的を達成するための本発明の基板の形成方法の構成は、

2枚の基板を重ね合わせて接着する基板の形成方法において、

用したものである。まず、接着すべき円板状の2枚のウエハ1および2を用意し、夫々のウエハ1、2に力を加えて、接着側面が凸面1a、2aになるように、かつ、お互いの凸面1a、2aが直交または略直交して対向するようにU字形状に湾曲変形させる。このとき、ウエハ1とウエハ2の接着後の結晶方位を整合させたり、または整合しないようにする必要があるれば、それを考慮した上で前記直交または略直交するU字形状に湾曲する。この湾曲は、例えば湾曲した曲面にバキュームで吸着するなどして材質に影響を与えない可能な範囲の変形を生じさせて行えば良い。

次に、U字形状に湾曲したウエハ1、2の凸面1a、2aを、互いに直交または略直交するように中心A付近で初期接触させる。すると、2枚のウエハ1、2は、中心Aまたは中心A付近で点状に接触する。続いて、湾曲状態を解放し、ウエハ1、2を平面状態に戻して重ね合わせ、加熱接着を行う。このとき、補助的に湾曲した辺部を平面状態に戻しやすくするために押圧しても良い。

第2図(イ)。(ロ)は本実施例の作用の説明図である。ウエハ1, 2が平面状態に戻されるとき、(イ)の平面図に示すように、中心Aまたはその付近の点状接触位置から、放射状に接触部分が広がってゆき、空気などの周囲の気体が排除されるので、2枚のウエハ1, 2は互いに密着する。このように密着して重ね合わせた後、例えば1000℃ないし1100℃程度で2時間ほど加熱処理を施すことによって、(ロ)に示すように接着界面に未接着箇所(ボイド)が生じることなく、2枚のウエハ1, 2を接着することが可能になる。

なお、本発明はウエハだけでなくガラスとウエハや他の材料同志の接着による基板の形成にも適用することが可能であり、また接着剤を使用して2枚の基板を接着し基板を形成する場合にも有効である。また、初期接触はU字形の凸面の直線方向を直交させるのが基本であるが、90℃からずれても本発明の目的が達成される。このように、本発明はその主旨に沿って種々に応用され、実施

態様を取り得るものである。

【発明の効果】

以上の説明で明らかなように、本発明の基板の形成方法によれば、以下のような効果を奏する。

(1) 基板の中心または略中心で点接触させ、そこから周辺に向けて放射状に接触部を広げるので、密着させて接着することができ、未接着部分が発生しない。

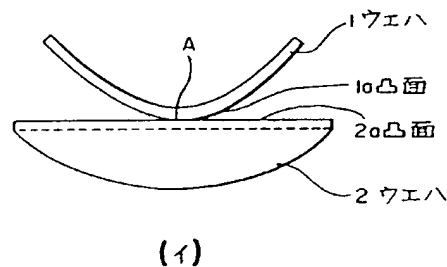
(2) 従って、本発明による方法で形成した基板を用いて各種半導体装置を製作すれば、欠陥品の発生が避けられ、製品の信頼性が向上する。

4. 図面の簡単な説明

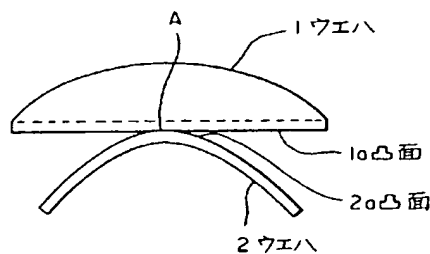
第1図(イ)。(ロ)は本発明の一実施例を示す正面図と側面図、第2図(イ)。(ロ)は本実施例の作用の説明図、第3図(イ)。(ロ)。(ハ)。(ニ)は従来技術の説明図である。

1, 2…基板、1a, 2a…凸面。

代理人 志賀富士弥



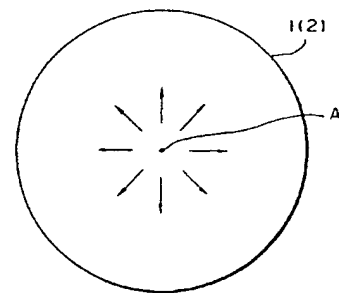
(イ)



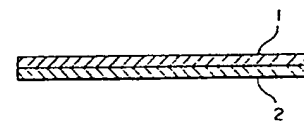
(ロ)

一実施例の正面図と側面図

第1図



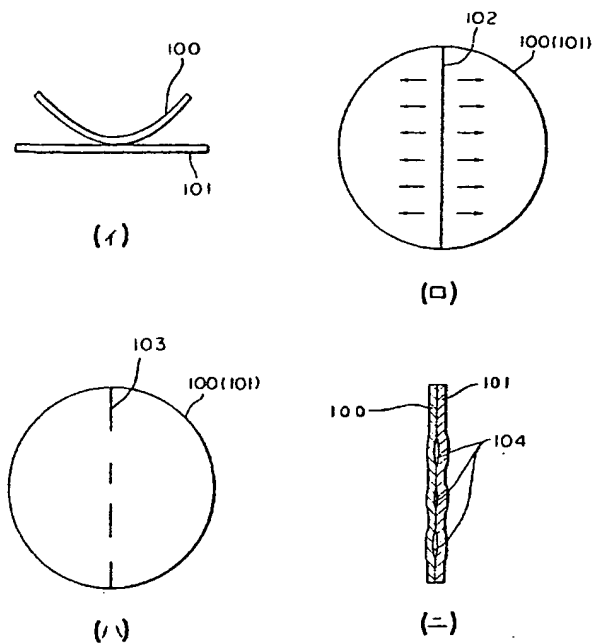
(イ)



(ロ)

実施例の作用説明図

第2図



従来技術の説明図
第3図

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.